

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-263747

(43)Date of publication of application : 31.10.1988

(51)Int.Cl.

H01L 23/12  
H01L 23/52  
// H05K 3/40

(21)Application number : 62-097326

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.04.1987

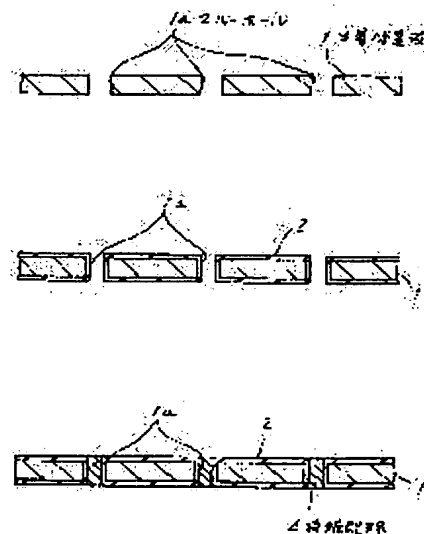
(72)Inventor : SATO TOSHIHIKO  
SAWARA KUNIZO  
KURODA SHIGEO  
OTSUKA KANJI  
KAWAMURA MASAO

## (54) MANUFACTURE OF MOUNTING BOARD

## (57)Abstract:

**PURPOSE:** To manufacture the title mounting board with high positional precision and fine through holes filled with metal by a method wherein a semiconductor substrate is irradiated with beams to make through holes, and after thermooxidizing the surface to form an insulating film, the inside of through holes is filled with metal.

**CONSTITUTION:** The title mounting board is manufactured by a process making through holes 1a by irradiating a semiconductor substrate 1 with beams, another process for thermooxidizing the semiconductor substrate 1 to form an insulating film 2 and the other process filling the inside of through holes 1a with metal 4. The through holes 1a made by beam irradiation can be assured of high positional precision and fineness enabling connection wiring to be formed by filling the through holes with the metal 4. Through these procedures, the mounting board whose fine through holes made with high positional precision are filled with interconnection metal 4 can be manufactured.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

昭63-263747

⑤Int.Cl.<sup>4</sup> 識別記号 庁内整理番号 ④公開 昭和63年(1988)10月31日  
 H 01 L 23/12 D-7738-5F  
 23/52 A-8728-5F  
 // H 05 K 3/40 K-6412-5F 審査請求 未請求 発明の数 1 (全4頁)

⑬発明の名称 実装基板の製造方法

⑭特 願 昭62-97326

⑮出 願 昭62(1987)4月22日

⑯発 明 者 佐 藤 俊 彦 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
 開発センタ内  
 ⑯発 明 者 佐 原 邦 造 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
 開発センタ内  
 ⑯発 明 者 黒 田 重 雄 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
 開発センタ内  
 ⑯発 明 者 大 塚 寛 治 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
 開発センタ内  
 ⑰出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
 ⑱代 理 人 弁理士 小川 勝男 外1名  
 最終頁に続く

## 明 細 書

## 1. 発明の名称

実装基板の製造方法

## 2. 特許請求の範囲

1. 半導体基板にビームを照射することによりスルーホールを形成する工程と、前記半導体基板を熱酸化することによりその表面に絶縁膜を形成する工程と、前記スルーホールの内部に金属を充填する工程とを具備することを特徴とする実装基板の製造方法。

2. 前記ビームが電子ビーム又はイオンビームであることを特徴とする特許請求の範囲第1項記載の実装基板の製造方法。

3. CVD法により前記スルーホールに前記金属を充填するようにしたことを特徴とする特許請求の範囲第1項又は第2項記載の実装基板の製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、実装基板の製造方法に関し、特に、

LSIチップの実装に用いる実装基板に適用して有効な技術に関するものである。

〔従来技術〕

従来、LSIの高密度実装に適したパッケージとして、チップキャリア型パッケージが知られている(例えば、超LSIデバイス ハンドブック、p.226~p.228、1983年11月28日発行、サイエンスフォーラム)。このチップキャリア方式によりLSIを実装する場合に用いる実装基板の材料としては、いわゆるアルミナグリーンシート(未焼結アルミナシート)が多用されている(例えば、同上、p.239~p.242)。このグリーンシートを用いて実装基板を形成する場合には、LSIの製造に用いられるフォトリソグラフィ及びエッチングの手法によりスルーホールを形成し、次いで例えばWペーストを印刷することによりこのスルーホールにWを充填した後、グリーンシートの焼結を行う。

〔発明が解決しようとする問題点〕

しかしながら、本発明者の検討によれば、前記

グリーンシートの焼結時に伴われる収縮により、スルーホール間の間隔が焼結前とは異なってしまったため、スルーホールを高い位置精度で形成することが難しい。この結果、このスルーホールに充填されたWから成る接続配線と接続される配線を前記シート上に形成するためのフォトリソグラフィ工程におけるアラインメントに支障を来すという問題があった。

本発明の目的は、高い位置精度で形成された微細なスルーホールに接続配線を構成する金属が充填された実装基板を製造することができる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

#### 〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。すなわち、半導体基板にビームを照射することによりスルーホールを形成する工程と、前

記半導体基板を熱酸化することによりその表面に絶縁膜を形成する工程と、前記スルーホールの内部に金属を充填する工程とを具備している。

#### 〔作用〕

上記した手段によれば、ビーム照射によりスルーホールを形成しているため、高い位置精度でしかも微細なスルーホールを形成することができる。とともに、このスルーホールに金属を充填することにより接続配線を形成することができる。

#### 〔実施例〕

以下、本発明の一実施例を図面を用いて具体的に説明する。

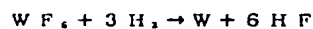
なお、実施例を説明するための全図において、同一機能を有するものには同一符号を付け、その繰り返しの説明は省略する。

第1図に示すように、まず例えばシリコン基板のような半導体基板1に例えば電子ビームを照射することにより、例えば直径100 $\mu$ m程度の微細なスルーホール1aを多数形成する。この電子ビーム照射は、例えば大形の電子銃を有する電子

線直接描画装置を用いて行うことができ、これによって極めて高い位置精度でスルーホール1aを形成することができる。従って、スルーホール1a間の間隔を例えば200 $\mu$ m程度に小さくすることができるので、後述の入出力ピン9(第4図参照)を高密度で配置することができ、これによって入出力ピン9の多ピン化を図ることができる。なお、前記電子ビームの代わりに例えばイオンビームを用いてもよい。

次に第2図に示すように、前記半導体基板1を熱酸化することにより、スルーホール1aの内周面を含めてその表面全体に例えばSiO<sub>2</sub>膜のような絶縁膜2を形成する。

次に、例えば第5図に示すようなCVD装置の反応管3内に前記半導体基板1を収容し、この半導体基板1を所定温度に加熱した状態で反応管3の一端から例えば六フッ化タングステン(WF<sub>6</sub>)と水素(H<sub>2</sub>)とを前記半導体基板1と垂直方向に流して、次式で示される気相反応を行わせる。



この反応の際、前記反応ガスは半導体基板1のスルーホール1aを通過して流れる。この気相反応により生じるWの堆積により、第3図に示すように、スルーホール1aの内部がWで充填されて、絶縁膜2により半導体基板1と絶縁された状態で接続配線4を形成することができる。なお、この気相反応の際には、スルーホール1a部以外の絶縁膜2の表面にもWが堆積するため、実際にはWの堆積後、半導体基板1の両面を研磨して不要なWを除去する。第3図は、この研磨後の状態を示す。

第4図は、このようにして形成された半導体基板1を実装基板として用いたいわゆるマルチチップモジュールを示す。第4図に示すように、このマルチチップモジュールにおいては、前記半導体基板1上に、例えばポリイミド樹脂のような絶縁物5により互いに絶縁された例えばアルミニウム配線から成る多層配線6が形成されている。この多層配線6の端部には例えばはんだパンプ7が設けられ、このはんだパンプ7を介して例えばシリコンチップのようなLSIチップ8が複数個実装

されている。なお、前記はんだパンプ7は、L S Iチップ8に設けられたボンディングパッド（図示せず）に接続されている。また、L S Iチップ8は、前記多層配線6及び接続配線4により入出力ピン9に接続されている。

この第4図に示すマルチチップモジュールによれば、半導体基板1から成る実装基板とL S Iチップ8とが同一材料（例えばシリコン）により構成されているので、実装基板とL S Iチップ8との熱膨張係数の差がなく、従ってこの熱膨張係数の差に起因してはんだパンプ7部に熱応力が発生するのを防止することができる。これによって、温度サイクル寿命の向上を図ることができるとともに、L S Iチップ8の大形化を図ることができる。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えば、上述の実施例においては、接続配線4

を構成する金属としてWを用いたが、その他の金属、例えばMoやAlを用いてもよい。また、これらの金属は、C V D法以外の方法、例えば無電解めっきにより形成してもよい。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、高い位置精度で形成された微細なスルーホールに接続配線を構成する金属が充填された実装基板を製造することができる。

#### 4. 図面の簡単な説明

第1図～第3図は、本発明の一実施例による実装基板の製造方法を工程順に説明するための断面図、

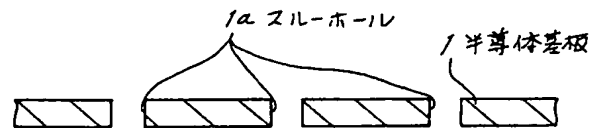
第4図は、第1図～第3図に示す実装基板の製造方法により製造された実装基板を用いてL S Iチップを実装したマルチチップモジュールを示す断面図、第5図は、第1図～第3図に示す実装基板の製造方法においてC V D法により接続配線

を形成する方法を示す断面図である。

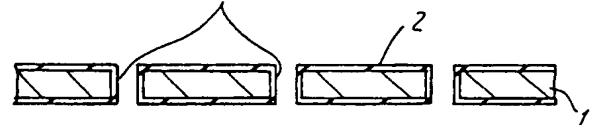
図中、1…半導体基板、1 a…スルーホール、2…絶縁膜、3…反応管、4…接続配線、6…多層配線、7…はんだパンプ、8…L S Iチップ、9…入出力ピンである。

代理人 弁理士 小川勝男

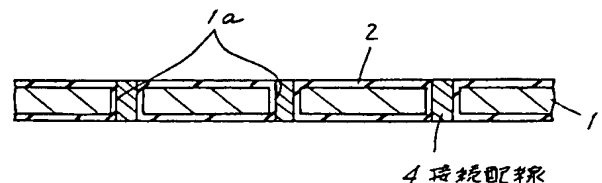
第 1 図



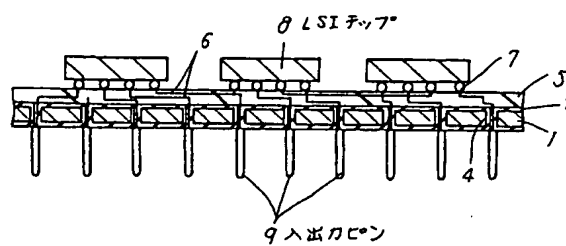
第 2 図



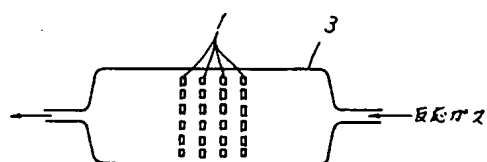
第 3 図



第 4 図



第 5 図



第1頁の続き

③発明者 川村 雅雄 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内